

**MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE**

Patent Number: JP2001110828  
Publication date: 2001-04-20  
Inventor(s): SHINOKI HIROYUKI;; TOKUSHIGE TOSHIMICHI;; TAKAI NOBUYUKI  
Applicant(s): SANYO ELECTRIC CO LTD  
Requested Patent: ☐ JP2001110828  
Application Number: JP19990291472 19991013  
Priority Number(s):  
IPC Classification: H01L21/56; H01L21/301; H01L23/12  
EC Classification:  
Equivalents:

---

**Abstract**

---

PROBLEM TO BE SOLVED: To improve the reliability of a chip size package.

SOLUTION: Metal posts 8 are formed to a wafer, and while a tape 21 for dicing is stuck to the back face of the wafer, the wafer is diced for each chip. Then, the upper face of the wafer is resin-sealed, and a resin layer R is polished, and the head parts of the metal posts 8 are exposed. Then, solder balls are mounted on the metal posts 8, and the wafer is separated into each chip by a dicing process.

---

Data supplied from theesp@cenettest database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-110828  
(P2001-110828A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/56  
21/301  
23/12

識別記号

F I

H 0 1 L 21/56  
21/78  
23/12

テマコード\* (参考)

R 5 F 0 6 1  
Q  
L

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号

特願平11-291472

(22) 出願日

平成11年10月13日 (1999.10.13)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 篠木 裕之

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72) 発明者 徳重 利洋智

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

最終頁に続く

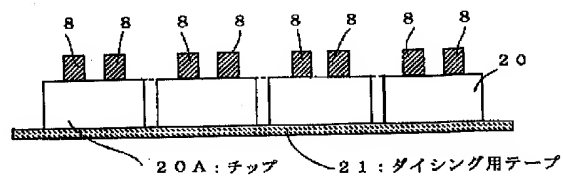
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

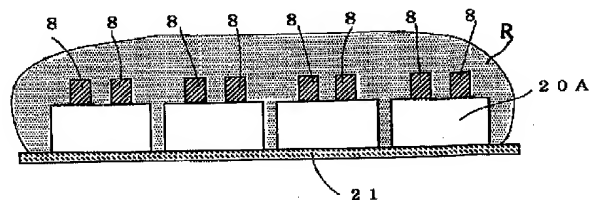
【課題】 チップサイズパッケージの信頼性を向上させる。

【解決手段】 メタルポスト8を形成した後、ウエハ裏面にダイシング用テープ21を貼付した状態で、各チップ毎にダイシングする。次に、ウエハ上面を樹脂封止した後、この樹脂層Rを研磨して、前記メタルポスト8の頭部を露出させる。そして、前記メタルポスト8上に半田ボールを搭載した後、ダイシング工程により各チップ毎に分離するものである。

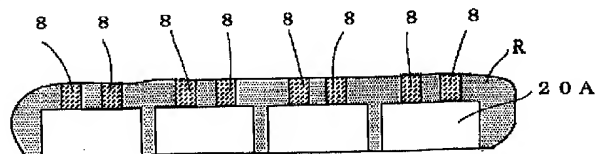
(a)



(b)



(c)



## 【特許請求の範囲】

【請求項1】 メタルポストを形成した後にウエハ裏面にダイシング用テープを貼付した状態で各チップ毎にダイシングする工程と、

前記ウエハ上面を樹脂封止した後に樹脂層を研磨して前記メタルポストの頭部を露出させる工程と、

前記メタルポスト上に半田ボールを搭載した後にダイシングすることで当該ウエハを各チップ毎に分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 絶縁層から露出した電極パッド上にシード層を介して接続され、チップ表面に延在する配線層を形成する工程と、

前記配線層上に位置するように開口部が形成されたホトレジスト層を形成した後に当該ホトレジスト層を介して前記配線層上にメタルポストを形成する工程と、

前記ホトレジスト層及びシード層を除去した後にウエハ裏面にダイシング用テープを貼付した状態で各チップ毎にダイシングする工程と、

前記ウエハ上面を樹脂封止した後に樹脂層を研磨して前記メタルポストの頭部を露出させる工程と、

前記メタルポスト上に半田ボールを搭載する工程と、ダイシングすることで前記ウエハを各チップ毎に分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 前記樹脂封止する際、樹脂を前記ダイシング用テープ上の各チップ間に入り込ませることでウエハ状態を維持させること特徴とする請求項1あるいは請求項2に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特にチップサイズパッケージの製造方法に関する。チップサイズパッケージ（Chip Size Package）は、CSPとも呼ばれ、チップサイズと同等か、わずかに大きいパッケージの総称であり、高密度実装を目的としたパッケージである。本発明は、CSPに採用されるメタルポスト形成における信頼性向上技術に関するものである。

## 【0002】

【従来の技術】従来、この分野では、一般にBGA（Ball Grid Array）と呼ばれ、面状に配列された複数のハンダボールを持つ構造、ファインピッチBGAと呼ばれ、BGAのボールピッチをさらに狭ピッチにして外形がチップサイズに近くなった構造等が知られている。

【0003】また、最近では、「日経マイクロデバイス」1998年8月号 44頁～71頁に記載されたウエハCSPがある。このウエハCSPは、基本的には、チップのダイシング前に配線やアレイ状のパッドをウエハプロセス（前工程）で作成するCSPである。この技術によって、ウエハプロセスとパッケージ・プロセス

（後工程）が一体化され、パッケージ・コストが大幅に低減できるようになることが期待されている。

【0004】ウエハCSPの種類には、樹脂封止型と再配線型がある。樹脂封止型は、従来のパッケージと同様に表面を封止樹脂で覆った構造であり、チップ表面の配線層上にメタルポストを形成し、その周囲を封止樹脂で固める構造である。

【0005】一般にパッケージをプリント基板に搭載すると、プリント基板との熱膨張差によって発生した応力がメタルポストに集中すると言われているが、樹脂封止型では、メタルポストが長くなるため、応力が分散されると考えられている。

【0006】一方、再配線型は、図10に示すように、封止樹脂を使わず、再配線を形成した構造である。つまりチップ51の表面にA1電極52、配線層53、絶縁層54が積層され、配線層53上にはメタルポスト55が形成され、その上に半田ボール56が形成されている。配線層53は、半田ボール56をチップ上に所定のアレイ状に配置するための再配線として用いられる。

【0007】樹脂封止型は、メタルポストを100μm程度と長くし、これを封止樹脂で補強することにより、高い信頼性が得られる。しかしながら、封止樹脂を形成するプロセスは、後工程において金型を用いて実施する必要があり、プロセスが複雑になる。

【0008】一方、再配線型では、プロセスは比較的単純であり、しかも殆どの工程をウエハプロセスで実施できる利点がある。しかし、なんらかの方法で応力を緩和し信頼性を高めることが必要とされている。

【0009】また図11は、図10の配線層53を省略したものであり、A1電極52が露出した開口部を形成し、この開口部には、メタルポスト55とアルミ電極52との間にバリアメタル58を少なくとも一層形成し、このメタルポスト55の上に半田ボール56が形成されている。

## 【0010】

【発明が解決しようとする課題】ここで、上記したようなウエハCSPの封止には、例えばエポキシ樹脂を用い、この樹脂層を研磨して前記メタルポスト55の頭部を露出させ、ダイシング工程へとプロセスが続くが、このとき、樹脂ストレスの影響によるウエハの反りが非常に大きいという問題が発生していた。

【0011】そして、このような反りが出たウエハを製造ライン内で搬送させる場合には、搬送エラーが発生することがあった。このことは、ウエハの大口径化が進みことで、より顕著になる。

【0012】また、信頼性向上を図るためにメタルポストをより高くしたくても、この反りの問題が支障となっていた。

## 【0013】

【課題を解決するための手段】本発明は上記課題に鑑み

## 3

てなされ、図 8 (a) に示すようにメタルポスト 8 を形成した後、ウエハ裏面にダイシング用テープ 21 を貼付した状態で、各チップ毎にダイシングする。次に、図 8 (b) に示すように全体を樹脂封止する。続いて、図 8 (c) に示すように樹脂層 R を研磨して、前記メタルポスト 8 の頭部を露出させる。そして、図 9 (a) に示すように前記メタルポスト 8 上に半田ボール 12 を搭載した後、図 9 (b) に示すようにダイシングすることで、各チップ毎に分離する工程とを有することを特徴とするものである。

## 【0014】

【発明の実施の形態】以下、本発明の一実施形態に係る半導体装置の製造方法について説明する。

【0015】図 7 に於いて、図番 1 は、通常のワイヤボンディングタイプの IC チップに於いて、最上層のメタル（ボンディングパッドとしても機能する部分）の部分であり、この A1 電極 1 のコンタクトホール C が形成される層間絶縁膜を図番 2 で示す。

【0016】また、このコンタクトホール C の下層には、メタルが複数層で形成され、例えばトランジスタ（MOS 型のトランジスタまたは BIP 型のトランジスタ）、拡散領域、ポリ Si ゲートまたはポリ Si 等とコンタクトしている。

【0017】ここで、本実施例は、MOS 型で説明しているが、BIP でも実施できることは言うまでもない。

【0018】また本構造は、一般には一層メタル、2 層メタル…と呼ばれる IC である。

【0019】更には、パッシベーション膜を図番 3 で示す。ここでパッシベーション膜 3 は、Si 窒化膜、エポキシ樹脂またはポリイミド樹脂等であり、更にこの上には、絶縁樹脂層 r が被覆されている。この絶縁樹脂層 r は、後述するようにフラット性を実現し、半田ボールの高さを一定にしている。

【0020】また、A1 電極 1 上には、キャップメタルとして窒化 Ti 膜 (TiN) 5 が形成されている。

【0021】パッシベーション膜 3 と絶縁樹脂層 r は、窒化 Ti 膜 (TiN) 5 を露出する開口部 K が形成され、ここには、配線層のメッキ電極（シード層）として Cu の薄膜層 6 が形成される。そしてこの上には、Cu メッキにより形成される配線層 7 が形成される。

【0022】そして、配線層 7 を含むチップ全面には、樹脂から成る樹脂層 R が形成される。ただし、図面上では省略しているが、樹脂層 R と配線層 7、樹脂層 R とメタルポスト 8 の界面には後述するように樹脂層 R と Cu との反応を防止するためのシリコン窒化膜（以下、Si<sub>3</sub>N<sub>4</sub>膜という。）を設けても良い。

【0023】樹脂層 R は、熱硬化性、熱可塑性樹脂であれば実施可能であり、特に熱硬化性樹脂として、アミク酸フィルム、ポリイミド、エポキシ系の樹脂が好ましい。また熱可塑性樹脂であれば、熱可塑性ポリマー（日

## 4

立化成：ハイマル）等が好ましい。またアミク酸フィルムは 30～50% の収縮率である。

【0024】ここで、樹脂層 R は、液状のアミク酸を主材料として用意され、ウエハ全面にスピンオンされ、厚さ 20～60 μm 程度で形成される。その後、この樹脂層 R は、熱硬化反応により重合される。温度は、300℃以上である。しかし、熱硬化前のアミク酸より成る樹脂は、前記温度の基で非常に活性になり、Cu と反応し、その界面を悪化させる問題がある。しかし、配線層の表面上記 Si<sub>3</sub>N<sub>4</sub> 膜を被覆することにより、この Cu との反応を防止することができる。ここで Si<sub>3</sub>N<sub>4</sub> 膜の膜厚は、1000～3000 Å 程度である。

【0025】また、Si<sub>3</sub>N<sub>4</sub> 膜は、バリア性が優れた絶縁膜で良いが、SiO<sub>2</sub> 膜は、バリア性に劣る。しかし、SiO<sub>2</sub> 膜を採用する場合は、Si<sub>3</sub>N<sub>4</sub> 膜よりもその膜厚を厚くする必要がある。また、Si<sub>3</sub>N<sub>4</sub> 膜は、プラズマ CVD 法で形成できるので、そのステップカバレッジも優れ、好ましい。更に、メタルポスト 8 を形成した後、樹脂層 R を被覆するので、前記 Si<sub>3</sub>N<sub>4</sub> 膜を形成すると Cu から成る配線層 7 とアミク酸を主材料とする樹脂層の反応を防止するばかりでなく、Cu から成るメタルポスト 8 とアミク酸を主材料とする樹脂層 R の反応も防止できる。

【0026】Cu から成るメタルポスト 8 の上に直接半田ボールが形成されると、酸化された Cu が原因で半田ボールとの接続強度が劣化する。また酸化防止のために Au を直接形成すると、Au が拡散されるため、間に Ni が挿入されている。Ni は Cu の酸化防止をし、また Au は Ni の酸化防止をしている。従って半田ボールの劣化および強度の劣化は抑制される。

【0027】ここで Ni、Au は、電解メッキで形成されるが無電解メッキでも良い。

【0028】最後に、メタルポスト 8 の頭部に、半田ボール 12 が形成される。

【0029】ここで半田ボールと半田パンプの違いについて説明する。半田ボールは、予めボール状の半田が別途用意され、メタルポスト 8 に固着されるものであり、半田パンプは、配線層 7、メタルポスト 8 を介して電解メッキで形成されるものである。半田パンプは、最初は厚みを有した膜として形成され、後工程の熱処理により球状に形成されるものである。

【0030】ここでは、図 6 でシード層が取り除かれるので、電解メッキでは形成できず、実際は半田ボールが用意される。

【0031】続いて、図 7 に示す構造の製造方法について説明する。

【0032】先ず、A1 電極 1 を有する LSI が形成された半導体基板（ウエハ）を準備する。ここでは、前述したように 1 層メタル、2 層メタル…の IC で、例えばトランジスタのソース電極、ドレイン電極が一層目の

## 5

メタルとして形成され、ドレイン電極とコンタクトした A1 電極 1 が 2 層目のメタルとして形成されている。

【0033】ここでは、ドレイン電極が露出する層間絶縁膜 2 のコンタクト孔 C を形成した後、ウエハ全面に A1 を主材料とする電極材料、窒化 Ti 膜 5 を形成し、ホトレジスト層をマスクとして、A1 電極 1 と窒化 Ti 膜 5 を所定の形状にドライエッチングしている。

【0034】ここでは、パッシベーション膜 3 を形成し、この後開口したコンタクト孔 C にバリアメタルを形成するのと違い、バリアメタルとしての窒化 Ti 膜も含めてホトレジスト層で一度に形成でき、工程数の簡略が可能となる。

【0035】また窒化 Ti 膜 5 は、後に形成する Cu の薄膜層 6 のバリアメタルとして機能している。しかも窒化 Ti 膜は、反射防止膜として有効であることにも着目している。つまりパターンニングの際に使用されるレジストのハレーション防止としても有効である。ハレーション防止として最低 1200 Å ~ 1300 Å 程度必要であり、またこれにバリアメタルの機能を兼ね備えるためには、2000 Å ~ 3000 Å 程度が好ましい。これ以上厚く形成されると、今度は窒化 Ti 膜が原因で、ストレスが発生する。

【0036】また、A1 電極 1 と窒化 Ti 膜 5 がパターンニングされた後、全面にパッシベーション膜 3 が被覆される。パッシベーション膜として、ここでは Si<sub>3</sub>N<sub>4</sub> 膜が採用されているが、ポリイミド樹脂等も可能である。

(以上図 1 参照)

続いて、パッシベーション膜 3 の表面に絶縁樹脂層 r が被覆される。この絶縁樹脂層は、ここでは、ポジ型の感光性ポリイミド膜が採用され、約 3 ~ 5 μm 程度が被覆されている。そして開口部 K が形成される。

【0037】この感光性ポリイミド膜を採用することで、図 2 の開口部 K のパターンニングにおいて、別途ホトレジスト層を形成して開口部 K を形成する必要がなくなり、メタルマスクの採用により工程の簡略化が実現できる。もちろんホトレジスト層でも可能である。しかもこのポリイミド膜は、平坦化の目的でも採用されている。つまり半田ボール 12 の高さが全ての領域において均一である為には、メタルポスト 8 の高さが全てにおいて均一である必要があり、配線層 7 もフラットに精度良く形成される必要がある。その為にポリイミド樹脂を塗布し、ある粘度を有した流動性を有する樹脂である故、その表面をフラットにできる。

【0038】ここで A1 電極 1 は LSI の外部接続用のパッドも兼ね、半田ボール (半田パンパ) から成るチップサイズパッケージとして形成しない時は、ワイヤボンディングパッドとして機能する部分である。(以上図 2 参照)

続いて全面に Cu の薄膜層 6 を形成する。この Cu の薄膜層 6 は、後に配線層 7 のメッキ電極となり、例えばス

## 6

パッタリングにより約 1000 ~ 2000 Å 程度の膜厚で形成される。

【0039】続いて、全面に例えばホトレジスト層 PR1 を塗布し、配線層 7 に対応するホトレジスト層 PR1 を取り除く。(以上図 3 参照)

続いて、このホトレジスト層 PR1 の開口部に露出する Cu の薄膜層 6 をメッキ電極とし、配線層 7 を形成する。この配線層 7 は機械的強度を確保するために 2 ~ 5 μm 程度に厚く形成する必要がある。ここでは、メッキ法を用いて形成したが、蒸着やスパッタリング等で形成しても良い。

【0040】この後、ホトレジスト層 PR1 を除去する。(以上図 4 参照)

続いて、配線層 7 上のメタルポスト 8 が形成される領域を露出したホトレジスト層 PR2 が形成され、この露出部に電解メッキで Cu のメタルポスト 8 が 30 ~ 100 μm 程度の高さに形成される。これも Cu の薄膜層 6 がメッキ電極として活用される。(以上図 5 参照)

続いて、ホトレジスト層 PR2 を除去し、配線層 7 をマスクとして Cu の薄膜層 6 を除去する。(以上図 6 参照)

次に示す工程は、図面では省略したが、配線層 7、メタルポスト 8 も含めて全表面にプラズマ CVD 法で Si<sub>3</sub>N<sub>4</sub> 膜を被着しても良い。

【0041】これは、後の工程で形成される硬化前の樹脂層 R と Cu が熱により反応する。そのためこの界面が劣化する問題を有している。従って配線層 7、メタルポスト 8 は、全てこの Si<sub>3</sub>N<sub>4</sub> 膜で被覆する必要がある。この Si<sub>3</sub>N<sub>4</sub> 膜は、界面の劣化が発生しない場合は、もちろん省略が可能である。

【0042】以下、樹脂層 R を全面に塗布した後に、当該樹脂層 R を研磨して前記メタルポスト 8 の頭部を露出させ、その上に Ni10 を電解メッキで約 1000 Å、Au11 を同じく電解メッキで約 5000 Å 形成し、その上に半田ボール 12 を搭載する。(以上図 7 参照)

ここで、本工程は本発明の特徴を為す工程であり、以下、図 8 及び図 9 を参照しながら説明する。

【0043】先ず、図 8 (a) に示すように前記メタルポスト 8 が形成された状態のウエハに対し、その裏面にダイシング用テープ 21 を貼付する。そして、この状態のまま、各チップ毎にダイシングする。

【0044】次に、図 8 (b) に示すようにダイシング用テープ 21 を貼付したまま、金型を用いてウエハ上面をエポキシ樹脂層 R で樹脂封止する。このとき、図示したように各チップ間にはエポキシ樹脂が入り込み、ウエハ状態を維持する。従って、以降の工程では前記ダイシング用テープ 21 は不要となる。

【0045】続いて、図 8 (c) に示すように前記樹脂層 R を研磨して、前記メタルポスト 8 の頭部を露出させると共に、ウエハ裏面のバックグラインドを行う。

【0046】最後に、図9(a)に示すように前記メタルポスト8上に形成した前記Ni10、Au11を介して半田ボール12を位置合わせして搭載し、リフローする。そして、図9(b)に示すようにウエハをダイシング工程により、スクライプラインに沿ってチップ毎に分割し、チップサイズ・パッケージが完成する。

【0047】以上、説明したように本発明では、メタルポスト8形成後のウエハ裏面にダイシング用テープ21を貼付した状態で、ダイシング工程により各チップ毎に分割する(前記テープ21によりウエハ状態が維持される)ことで、ウエハストレスの影響を低減し、その状態で樹脂封止することで、従来のようなウエハストレスと樹脂ストレスによる影響で発生するウエハの反りが抑止できる。その結果、製造ラインにおける搬送エラーの発生が抑止でき、更なる大口径ウエハにも対応可能になる。

【0048】また、メタルポストの高さをより高いものとすることができ、更なる信頼性の向上が図れる。

【0049】

【発明の効果】本発明によれば、ウエハストレスの影響を低減化するために、メタルポスト形成後のウエハ裏面にダイシング用テープを貼付した状態で、ダイシングして各チップ毎に分割し、その状態で樹脂封止させることで、従来のようなウエハストレスと樹脂ストレスによる影響で発生するウエハの反りが抑止できる。

【0050】従って、製造ラインにおける搬送エラーの発生を抑止でき、更なる大口径ウエハにも対応可能にな

る。

【0051】また、反りの発生が低減するため、より高いメタルポストを形成することが可能となり、信頼性の向上が図れる

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の製造方法を説明する図である。

【図2】本発明の一実施形態に係る半導体装置の製造方法を説明する図である。

10 【図3】本発明の一実施形態に係る半導体装置の製造方法を説明する図である。

【図4】本発明の一実施形態に係る半導体装置の製造方法を説明する図である。

【図5】本発明の一実施形態に係る半導体装置の製造方法を説明する図である。

【図6】本発明の一実施形態に係る半導体装置の製造方法を説明する図である。

【図7】本発明の一実施形態に係る半導体装置の製造方法を説明する図である。

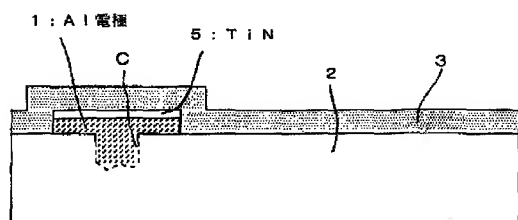
20 【図8】本発明の一実施形態に係る半導体装置の製造方法を説明する図である。

【図9】本発明の一実施形態に係る半導体装置の製造方法を説明する図である。

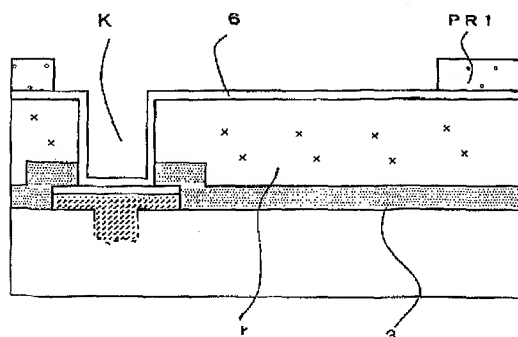
【図10】従来のチップサイズパッケージを説明する図である。

【図11】従来のチップサイズパッケージを説明する図である。

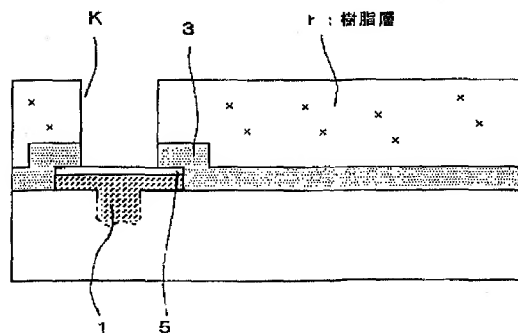
【図1】



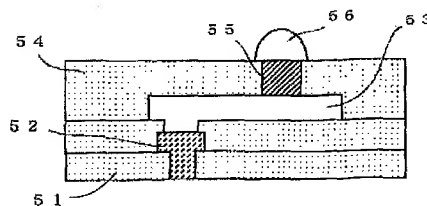
【図3】



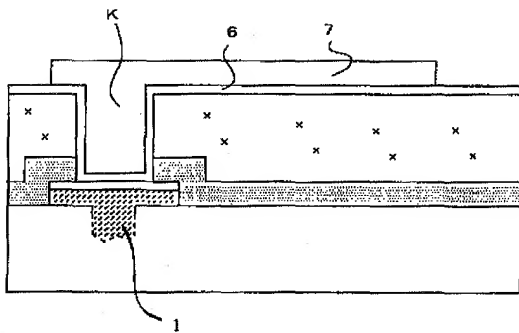
【図2】



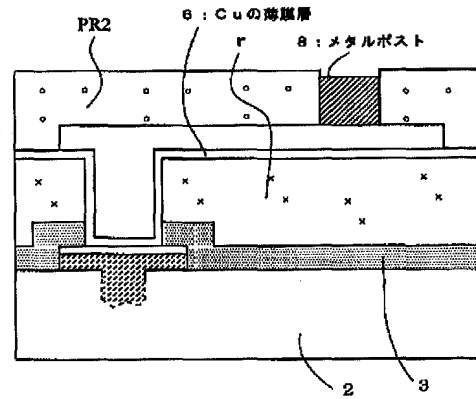
【図10】



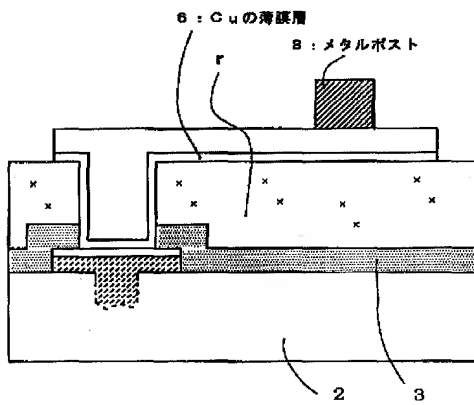
【図4】



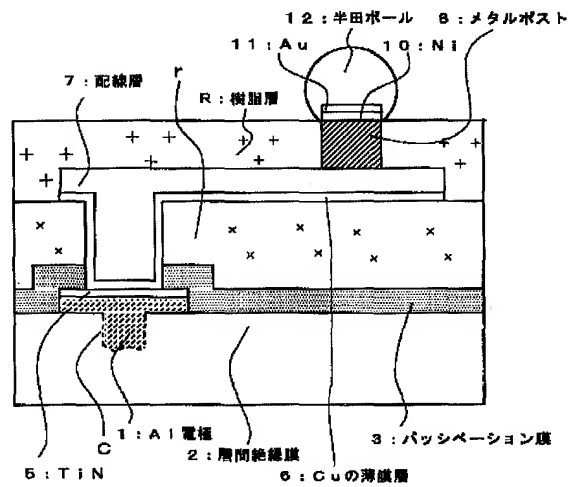
【図5】



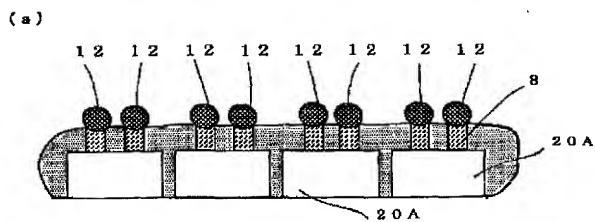
【図6】



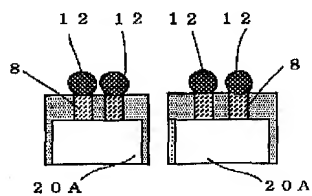
【図7】



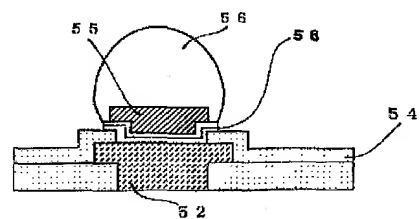
【図9】



(b)

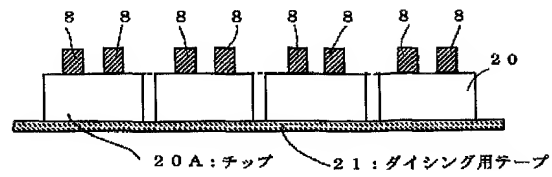


【図11】

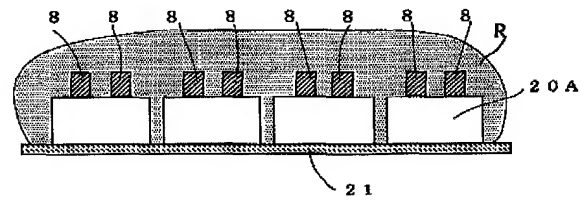


【図8】

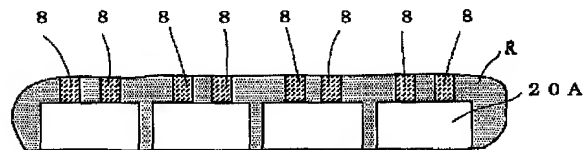
(a)



(b)



(c)



フロントページの続き

(72)発明者 高井 信行  
 大阪府守口市京阪本通2丁目5番5号 三  
 洋電機株式会社内

Fターム(参考) 5F061 AA01 BA07 CA10 CB12 CB13